

DELPHION

No active tr.

**RESEARCH****PRODUCTS****INSIDE DELPHION****Log On** **Work Files** **Saved Searches**

My Account

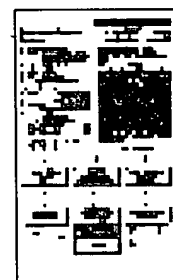
Search: Quick/Number Boolean Advanced Der

The Delphion Integrated ViewBuy Now: ☒ PDF | [File History](#) | [Other choices](#)Tools: Add to Work File: [Create new Work](#)View: [INPADOC](#) | Jump to: [Top](#)☒ [Ema](#)Title: **JP06060201A2: MICROCOMPUTER**Country: **JP Japan**Kind: **A** (See also: [JP03225613B2](#))Inventor: **OBA KO;**Assignee: **NEC CORP**[News, Profiles, Stocks and More about this company](#)Published / Filed: **1994-03-04 / 1992-08-05**Application Number: **JP1992000208678**IPC Code: **IPC-7: G06F 1/14; G06F 15/78;**Priority Number: **1992-08-05 JP1992000208678**

Abstract: PURPOSE: To provide the microcomputer which is provided with a function by which a value of a modulo register is subjected to increment by synchronizing with an overflow signal of a counter and contains a programmable timer.

CONSTITUTION: The microcomputer is constituted by having a first counter 3 for counting up by synchronizing with a clock, a modulo register 1 for holding a value for determining a period of a timer operation, and a comparator 2 for comparing the values of a first counter 3 and the modulo register 1 and outputting a coincidence signal, when they coincide with each other, providing a second counter 5 for counting an overflow signal of a first counter 3 and allowing the value of the modulo register 1 to be subjected to increment at the time of evaluation, and containing a programmable timer.

COPYRIGHT: (C)1994,JPO&Japio

INPADOC Legal Status: **None****Buy Now:** [Family Legal Status Report](#)Family: [Show 2 known family members](#)Other Abstract Info: **None**[Nominate this for the Gallery...](#)

Best Available Copy

THIS PAGE BLANK (USPTO)



[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact U](#)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-60201

(43) 公開日 平成6年(1994)3月4日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F 1	技術表示箇所
G 0 6 F 15/78	5 1 0 K	7323-5L		
	G	7323-5L		
1/14		7165-5B	G 0 6 F 1/04	3 5 2

審査請求 未請求 請求項の数3(全 5 頁)

(21) 出願番号 特願平4-208678

(22) 出願日 平成4年(1992)8月5日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 大場 香

東京都港区芝五丁目7番1号日本電気株式
会社内

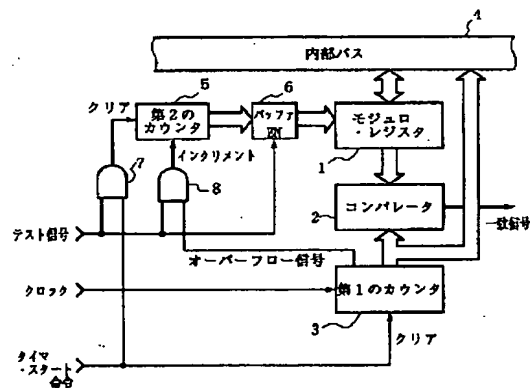
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 カウンタのオーバーフロー信号に同期して、モジュロ・レジスタの値がインクリメントされる機能を備えてプログラマブル・タイマを内蔵したマイクロコンピュータを提供する。

【構成】 クロックに同期してカウント・アップする第1のカウンタ3と、タイマ動作の周期をきめる値を保持するモジュロ・レジスタ1と、第1のカウンタ3とモジュロ・レジスタ1の値を比較して一致すれば一致信号を出力するコンパレータ2を有し、評価時に第1のカウンタ3のオーバーフロー信号をカウントしてモジュロ・レジスタ1の値をインクリメントする第2のカウンタ5を備えてプログラマブル・タイマを内蔵したマイクロコンピュータを構成する。



【特許請求の範囲】

【請求項1】 タイマスタート命令によってリセットされ、且つクロック信号に同期してカウントアップする第1のカウントと、命令によりタイマ動作の周期をきめる値が設定されその値を保持するモジュロ・レジスタと、前記第1のカウントと前記モジュロ・レジスタの値を比較して一致すれば一致信号を出力するコンパレータとを有するプログラマブル・タイマを備えたマイクロコンピュータにおいて、テスト時に前記モジュロ・レジスタの値を命令によりリセット後、前記第1のカウントのオーバーフロー信号に同期して前記モジュロ・レジスタの値をインクリメントする手段を有するプログラマブル・タイマを備えたことを特徴とするマイクロコンピュータ。

【請求項2】 前記手段は、タイマスタート命令によってリセットされ、且つ前記第1のカウントのオーバーフロー信号に同期してインクリメントされる第2のカウントの値を用いて前記モジュロ・レジスタの値をインクリメントすることを特徴とする請求項1に記載のマイクロコンピュータ。

【請求項3】 前記手段は、命令によりカウントの内容をリセット後、前記オーバーフロー信号に同期してインクリメントし、且つ前記インクリメントされた値を保持する第3のカウントを用いることを特徴とする請求項1に記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータに関し、特にマイクロコンピュータに内蔵されるプログラマブル・タイマに関する。

【0002】

【従来の技術】 従来のマイクロコンピュータに内蔵されるプログラマブル・タイマは、例えば図4に示すブロック図のように、入力するクロックに同期してカウントアップする第1のカウント3と、タイマ動作の周期をきめる値を保持するモジュロ・レジスタ1と、第1のカウント3とモジュロ・レジスタ1の値を比較し一致すれば一致信号を出力するコンパレータ2とを備えている。

【0003】 次に従来技術のマイクロコンピュータに内蔵されるプログラマブル・タイマの動作について、図4および図5を用いて説明する。

【0004】 図4は従来のマイクロコンピュータにおけるプログラマブル・タイマーの一例を示すブロック図であり、図5はその動作を説明するためのタイミングチャートである。

【0005】 タイマの周期をnとして動作させる場合、まず、内部バス4を通じて命令によりモジュロ・レジスタ1にnを設定し（図5の50）、タイマ・スタート命令を実行する（図5の51）。このタイマ・スタート命令の実行により、第1のカウント3が初期化される（図5の第1のカウントの値0）。その後、第1のカウント

3はクロックに同期してカウントアップを行う。

【0006】 コンパレータ2は第1のカウント3の内容とモジュロ・レジスタ1の内容を比較し、一致すれば一致信号を出力する（図5の52）。又、第1のカウント3はオーバーフローすると初期値“0”に戻り（図5の53）、モジュロ・レジスタ1に再び次の値n+1を設定し（図5の54）、タイマ・スタート命令を実行し（図5の55）、第1のカウントはカウントアップを繰り返し、モジュロ・レジスタ1の内容と第1のカウント3であるカウント・レジスタの内容と比較して一致していれば一致信号を出力する（図5の56）。

【0007】 ここで、例えば8ビット・タイマの場合、モジュロ・レジスタ1に設定し得る値は0～FFHである。従って、従来技術で完全な評価を行うためには前述のタイマ動作をn=0FFHに設定して256回行っている。

【0008】

【発明が解決しようとする課題】 この従来のマイクロコンピュータに内蔵されるプログラマブル・タイマでは、モジュロ・レジスタの値を自動的に連続変化させることが出来ず、モジュロ・レジスタに値を設定するには命令により行うしかなかった。

【0009】 従って、モジュロ・レジスタの値を変化させ評価する場合には命令によりモジュロ・レジスタの値を再設定し直していた。例えば8ビットのプログラマブル・タイマの場合、完全な評価を行うためにはモジュロ・レジスタに順次0～FFHの値を256回設定してタイマ動作を行っていた。

【0010】 またこの為、プログラマブル・タイマの評価をマイクロコンピュータの他のハードウェアの評価と並行して行うことが困難であるといふ欠点を有している。

【0011】 本発明の目的は、前述の欠点を除去することにより、カウントのオーバーフローに同期してモジュロ・レジスタの値がインクリメントする機能を有するプログラマブル・タイマを内蔵したマイクロコンピュータを提供することにある。

【0012】

【課題を解決するための手段】 本発明の特徴は、タイマスタート命令によってリセットされ、且つクロック信号に同期してカウントアップする第1のカウントと、命令によりタイマ動作の周期をきめる値が設定されその値を保持するモジュロ・レジスタと、前記第1のカウントと前記モジュロ・レジスタの値を比較して一致すれば一致信号を出力するコンパレータとを有するプログラマブル・タイマを備えたマイクロコンピュータにおいて、テスト時に前記モジュロ・レジスタの値を命令によりリセット後、前記第1のカウントのオーバーフロー信号に同期して前記モジュロ・レジスタの値をインクリメントする手段を有するプログラマブル・タイマを備えたことにある。

【0013】また、前記手段は、タイマスタート命令によってリセットされ、且つ前記第1のカウンタのオーバーフロー信号に同期してインクリメントされる第2のカウンタの値を用いて前記モジュロ・レジスタの値をインクリメントすることができる。

【0014】さらに、前記手段は、命令によりカウンタの内容をリセット後、前記オーバーフロー信号に同期してインクリメントし、且つ前記インクリメントされた値を保持する第3のカウンタを用いることができる。

【0015】

【実施例】次に本発明について図面を参照して説明する。

【0016】図1は本発明の第1の実施例のマイクロコンピュータに内蔵されるプログラマブル・タイマのブロック図である。

【0017】入力するクロックに同期してカウントアップする第1のカウンタ3と、タイマ動作の周期をきめる値を保持するモジュロ・レジスタ1と、第1のカウンタ3とモジュロ・レジスタ1の値を比較して一致すれば一致信号を出力するコンパレータ2と、評価時に第1のカウンタ3のオーバーフロー信号に同期してモジュロ・レジスタ1の値をインクリメントする第2のカウンタ5と、評価時に第2のカウンタ5の値をモジュロ・レジスタ1にセットするバッファ6とを備えている。

【0018】次に第1の実施例のマイクロコンピュータに内蔵されるプログラマブル・タイマの動作について、図1に示すプログラマブル・タイマのブロック図、および図3に示すプログラマブル・タイマの動作を説明するタイミングチャートを用いて説明する。

【0019】まず、評価時にはテスト信号をアクティブにし、論理ゲート7、8及びバッファ6はそれぞれ命令スタート信号、オーバーフロー信号及び第2のカウンタ5の出力を受け入れ可能状態にする。次に内部バス4からモジュロ・レジスタ1に初期値を設定する(図3の30)。

【0020】次にタイマ・スタート命令を実行する(図3の31)。このタイマ・スタート命令の実行により、第1のカウンタ3および第2のカウンタ5が初期化され“0”となる。その後、第1のカウンタ3はクロックに同期してカウントアップを行う。

【0021】コンパレータ2は第1のカウンタ3の内容とモジュロ・レジスタ1の内容を比較し、一致すれば一致信号を出力する(図3の32)。又、第1のカウンタ3はオーバーフロー信号により初期値“0”に戻りカウントアップを繰り返す(図3の33~35)。このオーバーフロー信号により第2のカウンタ5はカウントアップされその内容がバッファ6を介してモジュロ・レジスタ1に設定される。

【0022】前述したタイマ・スタート命令の実行による第1のカウンタ3と第2のカウンタ5の初期化以後の

動作を所定の回数くり返し実行する。

【0023】従って、テスト信号をアクティブにし、モジュロ・レジスタ1に初期値“0”を設定し、スタート命令を実行するだけでモジュロ・レジスタ1に設定し得る全ての値に対して自動的かつ連続的にテストが行われる。

【0024】すなわち、従来は第1のカウンタ3がオーバーフローした時点で再度タイマ・スタート命令を実行しなければならなかったが、上述したようにタイマ・スタート命令は1度実行するだけでよい。

【0025】次に第2の実施例について図面を参照して説明する。

【0026】図2は本発明の第2の実施例のマイクロコンピュータに内蔵されるプログラマブル・タイマのブロック図である。

【0027】図2によれば、入力するクロックに同期してカウントアップする第1のカウンタ3と、タイマ動作の周期をきめる値を保持し、第1のカウンタ3のオーバーフロー信号に同期してカウントアップする第3のカウンタ(モジュロ・レジスタ)9と、第1のカウンタ3と第3のカウンタ(モジュロ・レジスタ)9の値を比較し一致すれば一致信号を出力するコンパレータ2と、テスト信号とオーバーフロー信号によって第3のカウンタ9にインクリメント信号を出力する論理ゲート10を備えている。

【0028】次に第2の実施例のマイクロコンピュータに内蔵されるプログラマブル・タイマの動作について、図2および図3を用いて説明する。

【0029】まず、評価時にはテスト信号をアクティブにし、論理ゲート10のゲートを開いておく。内部バス4を介してCPU(図示せず)から第3のカウンタ(モジュロ・レジスタ)9に初期値を設定し(図3の30)、タイマ・スタート命令を実行する(図3の31)。このタイマ・スタートの命令の実行により、第1のカウンタ3が初期化され“0”となる。

【0030】その後、第1のカウンタ3はクロックに同期してカウントアップを行う。コンパレータ2は第1のカウンタ3の内容と第3のカウンタ(モジュロ・レジスタ)9の内容を比較し、一致すれば一致信号を出力する(図3の32)。又、第1のカウンタ3はオーバーフロー信号により初期値“0”に戻りカウントアップを繰り返す(図3の33)。このオーバーフロー信号により論理ゲート10を介して第3のカウンタ(モジュロ・レジスタ)9はカウントアップされる。

【0031】従って、テスト信号をアクティブにし、第3のカウンタ(モジュロ・レジスタ)9に初期値“0”を設定し、スタート命令を実行するだけで第3のカウンタ(モジュロ・レジスタ)9に設定し得る全ての値に対して自動的かつ連続的に評価が行われる。

【0032】第2の実施例は第1の実施例のタイマ動作

の周期をきめる値を保持するモジュロ・レジスタ自体を第3のカウンタで構成する。すなわち第1の実施例の第2のカウンタ5とモジュロ・レジスタ1の機能を一体化する。このことにより第1の実施例と比較して1つのプログラマブル・タイマのハードウェアを小さくすることができる。

【0033】

【発明の効果】以上説明したように本発明のマイクロコンピュータに内蔵されるプログラマブル・タイマは、評価時に、入力するクロックに同期してカウントアップするカウンタのオーバーフロー信号に同期して、タイマ動作の周期をきめる値を保持するモジュロ・レジスタの値がカウントアップするので、テスト信号をアクティブにし、スタート命令を実行するだけでモジュロ・レジスタに設定し得る全ての値に対して自動的かつ連続的に評価を行うことができる。

【0034】例えば8ビットのプログラマブル・タイマの場合、モジュロ・レジスタに設定し得る値は0～FFHの256パターンである。この為、完全な評価を行うためにはモジュロ・レジスタに値をセットする命令を256回実行しなくてはならなかった。

【0035】しかし、本発明ではモジュロ・レジスタへ値を設定する命令を1度実行するだけでよい。これにより、テスト・パターンの簡略化が可能となる効果を有す

る。

【0036】また、命令による操作が減るので、プログラマブル・タイマの評価をマイクロコンピュータの他のハードウェアの評価と並行して行うことが容易になり、マイクロコンピュータ全体のテスト時間の短縮となりコストダウンに寄与するという効果も有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】本発明の第2の実施例のブロック図である。

【図3】図1、2に示したプログラマブル・タイマのタイミングチャートである。

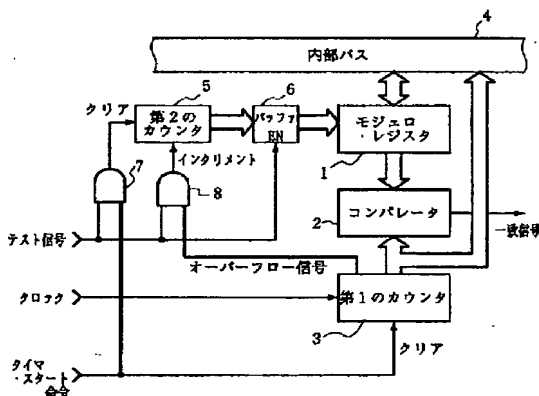
【図4】従来例のマイクロコンピュータのプログラマブル・タイマのブロック図である。

【図5】図4に示したプログラマブル・タイマのタイミングチャートである。

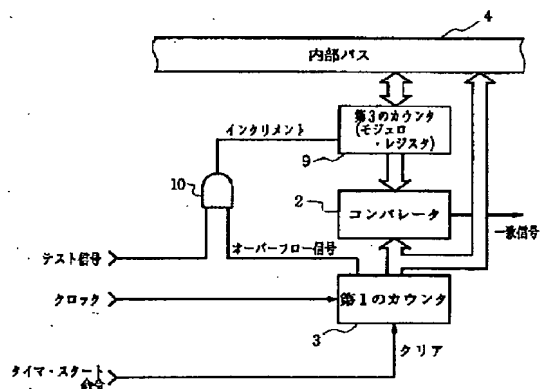
【符号の説明】

- 1 モジュロ・レジスタ
- 2 コンパレータ
- 3 第1のカウンタ
- 4 内部バス
- 5 第2のカウンタ
- 6 バッファ
- 7, 8, 10 論理ゲート
- 9 第3のカウンタ (モジュロ・レジスタ)

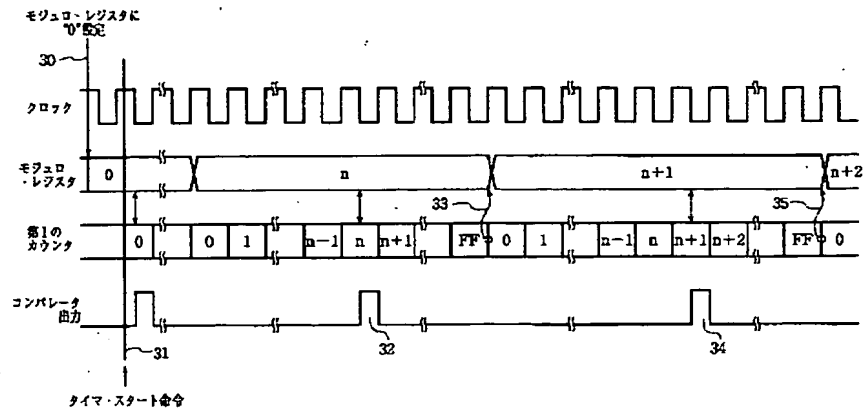
【図1】



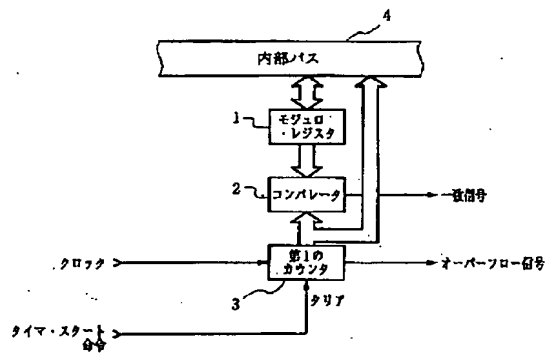
【図2】



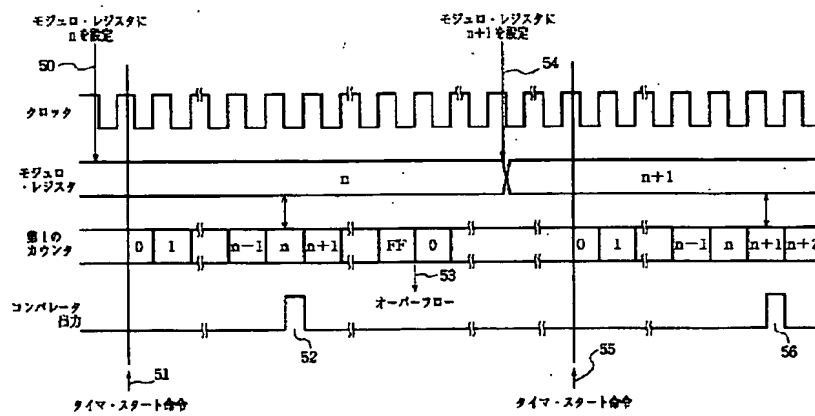
【図3】



【図4】



【図5】



THIS PAGE BLANK (USPTO)